



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63075927 A**(43) Date of publication of application: **06.04.88**

(51) Int. Cl.

G06F 5/06
G06F 3/06
G06F 12/16

(21) Application number: **61219342**(71) Applicant: **HITACHI LTD**(22) Date of filing: **19.09.86**(72) Inventor: **OGURI YOZO**(54) **BUFFER CONTROL SYSTEM**

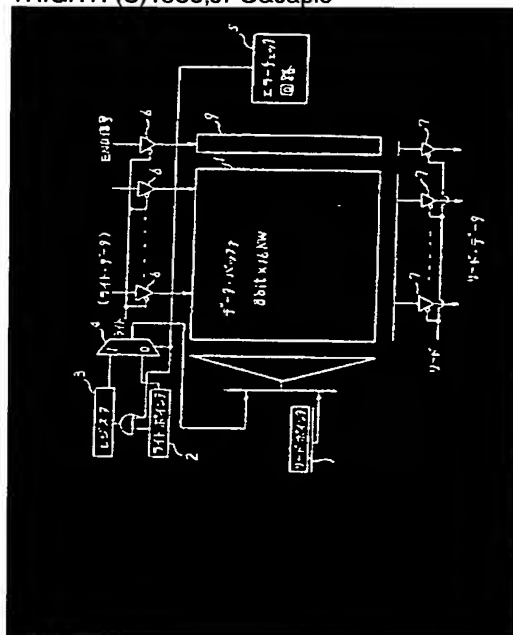
(57) Abstract:

PURPOSE: To use a write pointer representing a write address properly at a time when an error occurs, and at a normal time, by providing a save register which stores the final address of a data group at a previous operation in a data buffer in which the data is stored.

CONSTITUTION: The final address written by the data group is stored in the save register 3 at the normal time, and the storing of the address to the register 3 is prohibited at the time when the error occurs. Therefore, as the content of the save register 3, the final address of the data group at the previous operation at the normal time is stored in the register, and the input of the write pointer 2 selects the write pointer 2 at a current time at the normal time, and the final address at the previous operation at the time when the error occurs. By selecting the write pointer 2 by the output of error check, the data group at the normal time can be written again in an area where the data group is written at the time when the error occurs, and write control to always write only the data group at the normal time in the area of the buffer 1 is performed. In such a way, it is possible to read out only the data

group at the normal time at the time of reading out a RAM, thereby, a whole throughput can be improved.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-75927

⑪ Int.Cl.⁴G 06 F 5/06
3/06
12/16

識別記号

3 5 2
3 0 5
3 1 0

庁内整理番号

7230-5B
F-6711-5B
D-7737-5B

⑬ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 バッファ制御方式

⑮ 特 願 昭61-219342

⑯ 出 願 昭61(1986)9月19日

⑰ 発 明 者 小 栗 洋 三 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

バッファ制御方式

2. 特許請求の範囲

1. 複数装置間にデータ・バッファを具備する装置間通信システムにおいて、データの書き込み番地を示すライト・ポイントと、前回のライト・ポイント値を格納するセーブレジスタと、上記データ・バッファと同一のアドレス空間をもつRAMと、データ・バッファにデータグループを格納する際に当該データグループのエラーチェックを行なうエラーチェック回路と上記のライトポイントとセーブレジスタを選択するセレクタを設け、且つデータ・バッファにデータグループの最後のデータを書き込むとき、フラグを前記RAM上に書き込むと共に、エラーチェック回路によって検出されたエラー有無情報によりデータ・バッファの書き込みアドレスを選択することを特徴とするバッファ制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデータ・バッファの中にエラーがあるかどうかチェックし、データ・バッファの容量を有効に利用することおよびシステムのスループット向上に好適なバッファ制御方式に関するものである。

〔従来の技術〕

従来の装置は、特開昭61-60125号公報に記載のように転送スピードの大きく異なる転送バス間にデータ・バッファを配置し、アダプタにおいてデータ・バッファ中に格納されたデータにエラーがあった場合、データグループをデータ・バッファに書き込みエラー情報をFIFOに格納し転送する時、エラーのあるデータは転送せずに廃棄すると云う処理を行なっていた。

〔発明が解決しようとする問題点〕

上記従来技術はデータ・バッファにエラー時のデータグループも書き込みを行ないバッファの有効利用の配慮がされておらず、エラー時のデータグループの読み出し制御が必要であり、これは無

効処理のためスループット上問題があった。

本発明の目的は、書き込みの番地を示すライトポイントをエラー発生時と正常時に使い分けを行うことにある。エラー発生時は、前回のライトポイントまで書き込み番地をデクリメントすることにより、エラー時のデータグループの書き込み領域に正常時のデータグループをうわ書きし、データ・バッファの有効利用を行なう。また読み出し時は、正常時のデータグループのみ読み出されることでシステム全体のスループットを向上できるようにしたバッファ制御方式を提供することにある。

〔問題点を解決するための手段〕

上記目的はデータを格納するデータ・バッファの前回のデータグループの最終番地を正常時に格納するセーブレジスタを設ける事によりライトポイントの出力をセーブレジスタの内容にするか現時点のライトポイントにするかは、エラーチェック結果により切替えることができる。したがって現時点のエラー発生時は前回のライトポイントを

〔実施例〕

以下本発明の一実施例を第1図および第2図により説明する。図において、1はデータバッファ、2はライトポイント、3はセーブレジスタ、4はセクタ、5はエラーチェック回路、6はライトドライバ、7はリードドライバ、8はリードポイント、9はRAMである。

本発明を実施するデータバッファは以上の各回路で構成されており、以下本発明のバッファ制御について述べる。たとえばデータ・バッファ1を8ビット×16KBの大きさとする、ライトポイント2、リードポイント8およびセーブレジスタ3は14ビットのレジスタとなる。ライトポイント2は次のライトすべき番地を示しており、リードポイント8はリードすべき番地を示し、セーブレジスタ3は前回のデータグループの最終番地を示している。

書き込みデータグループが正常時は、エラーチェック回路5の出力は論理「0」となり、ライトポイント2は現時点のアドレスからRAM9にライト

示す番地に次のデータグループは書き込まれ恒にデータ・バッファのエリアは正常時のデータグループのみ書き込むことで達成される。

〔作用〕

本発明のバッファ制御方式はデータグループの書き込んだ最終番地を、正常時はセーブレジスタに格納し、エラー発生時はセーブレジスタへの格納を禁止を行う。よってセーブレジスタの内容は正常時のデータグループの前回の最終番地が格納されていることになる。それによって、ライトポイントの入力は正常時の場合は、現時点ライトポイントを選択し、エラー時は前記の前回の最終番地となる。ライトポイントは、エラーチェックの出力で選択を行なうことにより、エラー発生時はデータグループの書き込まれているエリアを正常時のデータグループを再度うわ書き可能となり、データ・バッファのエリアは恒に正常時のデータグループのみ書き込み制御できる。よって、RAMの読み出し時も正常時のデータグループのみ読み出しが行え全体のスループットが向上する。

ドライバ6を介して書き込みを行うことになる。END信号が「1」となりデータグループ最後のデータをライトドライバ6を介して書き込み後もエラーチェック回路5の出力が論理「0」ならばセーブレジスタ3はその最終番地を格納し、RAM9に「1」のプラグ10がバッファ番地と同じ番地上に書き込まれる。最後データでエラーチェックの出力が論理「1」であればセーブレジスタ3は現時点の書き込みアドレスすなわちライトポイント2の番地を取り込まないように禁止する。またセクタ4の条件は正常時はライトポイント2の番地、エラー時はセーブレジスタ3の番地を選択するようにすれば良い。すなわち、正常時はライトポイント2通りにデータバッファ1の番地にデータを書き込む。またエラーはセーブレジスタ3の示す番地までデクリメントされるので、これが前回書き込んだ最後のデータグループのアドレスであり、そのライトポイント2をプラス1ずつ書き込むたびに制御することにより異常時に書いたデータバッファ1のうわ書きが行え前記バッファにはエラー

時のデータグループは書き込まれないことになる。
また、リードポインタ8はセーブレジスタ3の番地を追い越さないように制御することにより、リードポインタ8とライトポインタ2の矛盾は発生しない。

〔発明の効果〕

本発明によれば、データ・バッファにエラー時のデータグループは一度は書き込むが、その次の書き込み時に正常データグループを書き込むので実質上はデータ・バッファは恒に正常データグループしか書き込まれてないようになる。よってデータ・バッファはエラー時のデータグループを捨てる処理となりメモリの空間の有効利用ができる。

一方読み出しのリードポインタはセーブレジスタの示す番地を超えることのないように制御が可能でありリード時は正常データグループの読み出しだけ行うこととなり、全体のスループットはエラー時のデータグループの読み出して捨てる処理がないので向上することとなる。すなわちデータ・バッファの有効利用およびシステムのスループット

の向上の効果がある。

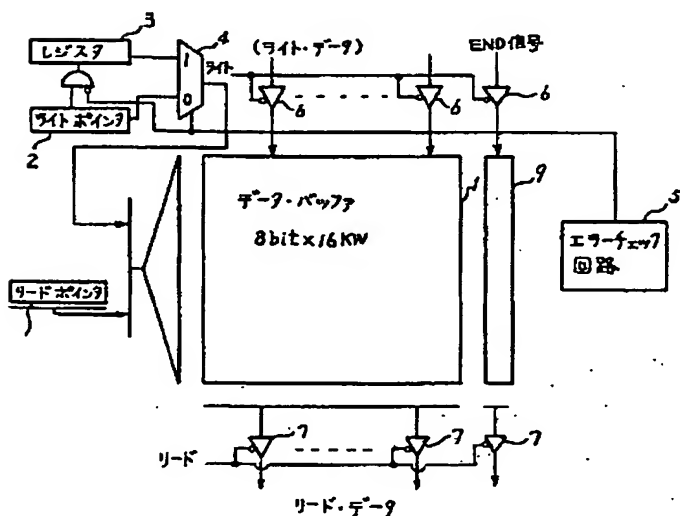
4. 図面の簡単な説明

第1図は本発明の一実施例であるデータ・バッファの構成図、第2図は第1図のデータ・バッファのメモリ構成およびリードポインタ、レジスタ、ライトポインタの示している番地を示す図である。

- 1 データバッファ
- 2 ライトポインタ
- 3 レジスタ
- 4 セレクタ
- 5 エラーチェック回路
- 6 ドライバ
- 7 レシーバ
- 8 リードポインタ
- 9 1ビット×16KのRAM

代理人 弁理士 小川 勝 男

第1図



第2図

